

Requested Patent: JP4080967A

Title: THIN FILM TRANSISTOR AND MANUFACTURE THEREOF ;

Abstracted Patent: JP4080967 ;

Publication Date: 1992-03-13 ;

Inventor(s): HAYASHI FUMIHIKO ;

Applicant(s): NEC CORP ;

Application Number: JP19900195813 19900723 ;

Priority Number(s): ;

IPC Classification: H01L29/784 ; H01L27/11 ; H01L27/12 ; H01L29/06 ;

Equivalents:

**ABSTRACT:**

**PURPOSE:** To enable a thin film transistor to be shortened in channel length and lessened in leakage current without decreasing a source region and a drain region in electrical resistance and to protect it against connection failure at a connection hole by a method wherein the thickness of a film of a channel region is set smaller than that of a film of the source and the drain region.

**CONSTITUTION:** An SiO<sub>2</sub> film 2 is formed on a silicon substrate, and an N-type polysilicon film 3 serving as a channel region is selectively formed. P-type polysilicon films 4 serving as a source and a drain are formed thicker than the film 3 sandwiching the film 3 between them. Therefore, a thin film transistor of this design can be lessened in channel length without increasing a source and a drain region in resistance, and a leakage current can be reduced when the transistor is formed small in channel length.

## ⑫ 公開特許公報(A)

平4-80967

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月13日

H 01 L 29/784

27/11

27/12

29/06

7514-4M

7735-4M

9056-4M

8624-4M

H 01 L 29/78

27/10

3 1 1 H

3 8 1

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 薄膜トランジスタ及びその製造方法

⑮ 特 願 平2-195813

⑯ 出 願 平2(1990)7月23日

⑰ 発 明 者 林 文 彦 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 藤 巻 正 憲

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ及びその製造方法

## 2. 特許請求の範囲

(1) 絶縁膜上に形成されたシリコンを主成分とする膜に所定の形状で形成されたチャネル領域と、このチャネル領域の両側に形成されたソース・ドレイン領域とを有し、前記チャネル領域の前記膜の厚さは前記ソース・ドレイン領域の前記膜の厚さに比して薄いことを特徴とする薄膜トランジスタ。

(2) 絶縁膜上に第1導電型不純物が導入されたシリコン膜を形成する工程と、このシリコン膜上にシリコン窒化膜を形成する工程と、所定領域の前記シリコン窒化膜を除去して前記シリコン膜を選択的に露出させる工程と、この露出した部分のシリコン膜をその厚さ方向の一部で選択的に酸化させて残存したシリコン膜上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜及び前記シリコン窒化膜を除去する工程と、前記シリコン

酸化膜の下方に残存した部分の所定領域をチャネル領域としこのチャネル領域を除く部分の前記シリコン膜に第2導電型不純物を選択的に導入してソース・ドレイン領域を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は絶縁膜上に形成された薄膜トランジスタ及びその製造方法に関し、特にSRAM(Static Random Access Memory)の負荷素子として好適の薄膜トランジスタ及びその製造方法に関する。

## 〔従来の技術〕

従来から、多結晶シリコン又は無定型シリコンを基板とする薄膜トランジスタが提案されている。この薄膜トランジスタには、上部ゲート型薄膜トランジスタ及び下部ゲート型薄膜トランジスタがある。

第7図は従来の上部ゲート型薄膜トランジスタを示す断面図である。

シリコン基板21上には $\text{SiO}_2$ 膜22が形成されており、この $\text{SiO}_2$ 膜22上には、チャネル領域であるN型ポリシリコン膜23及びソース・ドレイン領域であるP型ポリシリコン膜24が選択的に形成されている。このN型ポリシリコン膜23及びP型ポリシリコン膜24上にはゲート酸化膜25が形成されており、N型ポリシリコン膜23の上方のゲート酸化膜25の上には、ゲート電極26が選択的に形成されている。

第8図(a)乃至(c)は上述の薄膜トランジスタの製造方法を工程順に示す断面図である。

先ず、第8図(a)に示すように、シリコン基板21上に $\text{SiO}_2$ 膜22を形成する。この $\text{SiO}_2$ 膜22は、例えば基板21の表面を熱酸化させるか、又は公知のLPCVD(Low Pressure Chemical Vapor Deposition)法により形成することができる。

次に、LPCVD法を利用して、この $\text{SiO}_2$ 膜22上にポリシリコン膜を10乃至100nmの厚さに堆積させる。そして、イオン注入法により、こ

のポリシリコン膜にリン又はヒ素原子を $10^{16}$ 乃至 $10^{17}\text{cm}^{-3}$ の濃度で導入して、N型ポリシリコン膜23を形成する。

次に、LPCVD法によりゲート酸化膜25を20乃至100nmの厚さで形成し、その後LPCVD法により、このゲート酸化膜25上にポリシリコン膜27を形成する。

次に、第8図(b)に示すように、このポリシリコン膜27にリン又はヒ素原子を $10^{18}$ 乃至 $10^{20}\text{cm}^{-3}$ の濃度で導入した後、フォトリソグラフィによりこのポリシリコン膜27を所定の形状に成形してゲート電極26を得る。

次いで、第8図(c)に示すように、このゲート電極26をマスクとして、N型ポリシリコン膜23にボロン原子を $10^{18}$ 乃至 $10^{20}\text{cm}^{-3}$ の濃度で選択的にイオン注入する。これにより、第7図に示すように、P型ポリシリコン膜24が自己整合的に形成され、上部ゲート型薄膜トランジスタが完成する。

第9図は従来の下部ゲート型薄膜トランジスタ

を示す断面図である。

シリコン基板31上には、 $\text{SiO}_2$ 膜32を介してゲート電極36が選択的に形成されている。また、このゲート電極36上及び $\text{SiO}_2$ 膜32上にはゲート酸化膜35が形成されている。ゲート電極36の上方のゲート酸化膜35上には、チャネル領域であるN型ポリシリコン膜33が選択的に形成されている。また、ゲート酸化膜35上には、このN型ポリシリコン膜33を側方から挟むようにして、ソース・ドレイン領域であるP型ポリシリコン膜34が形成されている。

第10図(a)乃至(d)は、上述の下部ゲート型薄膜トランジスタの製造方法を工程順に示す断面図である。

先ず、第10図(a)に示すように、前述した上部ゲート型トランジスタの場合と同様にして、シリコン基板31上に $\text{SiO}_2$ 膜32を形成する。そして、LPCVD法を利用して、この $\text{SiO}_2$ 膜32上にポリシリコン膜37を50乃至200nmの厚さに堆積させる。

次に、第10図(b)に示すように、このポリシリコン膜37にリン又はヒ素原子を $10^{18}$ 乃至 $10^{20}\text{cm}^{-3}$ の濃度でイオン注入した後、フォトリソグラフィ技術によりこのポリシリコン膜37を所定の形状に成形して、ゲート電極36を得る。

次に、第10図(c)に示すように、LPCVD法により、全面にゲート酸化膜35を20乃至100nmの厚さで形成する。その後、LPCVD法により、このゲート酸化膜35上にポリシリコン膜を10乃至100nmの厚さで形成し、このポリシリコン膜にリン又はヒ素原子を $10^{18}$ 乃至 $10^{17}\text{cm}^{-3}$ の濃度でイオン注入してN型ポリシリコン膜33を形成する。

次いで、第10図(d)に示すように、このN型ポリシリコン膜33上のゲート電極36に整合する領域にレジスト膜38を選択的に形成し、このレジスト膜38をマスクとして、N型ポリシリコン膜33にボロン原子を $10^{18}$ 乃至 $10^{20}\text{cm}^{-3}$ の濃度でイオン注入し、その後レジスト膜38を除去する。これにより、第9図に示すように、ゲート

電極36の直上域にN型ポリシリコン膜33を残存させ、その他の領域にP型ポリシリコン膜34が形成される。このようにして、下部ゲート型薄膜トランジスタが完成する。

なお、上述の従来の技術においてはPチャネル型薄膜トランジスタの製造方法について説明したが、Nチャネル型薄膜トランジスタの場合は、チャネル領域及びソース・ドレイン領域に導入する不純物の導電型を替えることにより、上述の方法と同様にして製造されている。

近年、このような構造のPチャネル薄膜トランジスタをSRAMの負荷素子として使用することが提案されている(IEDM Tech.Dig., 第48巻、1988年発行)。

#### [発明が解決しようとする課題]

しかしながら、従来の薄膜トランジスタには以下に示す問題点がある。即ち、薄膜トランジスタをSRAMの負荷素子として使用する場合に、短チャネル化と共にリーク電流の低減が重要である。このためには、チャネル領域の薄膜化が有効であ

ることが知られている。しかし、従来の技術においては、前述の如く、チャネル領域及びソース・ドレイン領域はいずれも同一のシリコン膜に導電型が異なる不純物を夫々選択的に導入して形成されており、このシリコン膜の厚さは均一であるため、チャネル領域を薄膜化しようとしてこのシリコン膜の膜厚を薄くすると、ソース・ドレイン領域の抵抗値が著しく増大してしまう。このため、給電用の導電膜を設けて薄膜トランジスタに給電する必要が生じ、導電膜間の接続が必要になる。これがSRAMの製造歩留りの低下の原因になる。

また、上部ゲート型薄膜トランジスタは下部ゲート型トランジスタに比して特性が良好であり、且つ、ソース・ドレイン領域を自己整合的に形成するため製造が容易であるが、例えばSRAMの負荷素子に使用することを考慮すると、薄膜化したソース・ドレイン領域の上に接続孔を設ける必要があり、この接続孔形成時のエッチング工程等によりソース・ドレイン領域が消失して接続不良が発生する虞れがある。

本発明はかかる問題点に鑑みてなされたものであって、ソース・ドレイン領域の抵抗値を低減させることなく、短チャネル化及びリーク電流の低減を達成できると共に、接続孔部における接続不良を回避することができる薄膜トランジスタ及びその製造方法を提供することを目的とする。

#### [課題を解決するための手段]

本発明に係る薄膜トランジスタは、絶縁膜上に形成されたシリコンを主成分とする膜に所定の形状で形成されたチャネル領域と、このチャネル領域の両側に形成されたソース・ドレイン領域とを有し、前記チャネル領域の前記膜の厚さは前記ソース・ドレイン領域の前記膜の厚さに比して薄いことを特徴とする。

本発明に係る薄膜トランジスタの製造方法は、絶縁膜上に第1導電型不純物が導入されたシリコン膜を形成する工程と、このシリコン膜上にシリコン窒化膜を形成する工程と、所定領域の前記シリコン窒化膜を除去して前記シリコン膜を選択的に露出させる工程と、この露出した部分のシリコ

ン膜をその厚さ方向の一部で選択的に酸化させて残存したシリコン膜上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜及び前記シリコン窒化膜を除去する工程と、前記シリコン酸化膜の下方に残存した部分の所定領域をチャネル領域としこのチャネル領域を除く部分の前記シリコン膜に第2導電型不純物を選択的に導入してソース・ドレイン領域を形成する工程とを有することを特徴とする。

#### [作用]

本発明においては、チャネル領域とソース・ドレイン領域との厚さが相互に異なっており、チャネル領域は、ソース・ドレイン領域に比して薄く形成されている。このように、チャネル領域の厚さを薄くしたため、薄膜トランジスタを短チャネル化した場合のリーク電流の増加を抑制することができる。また、ソース・ドレイン領域の厚さが厚いため、ソース・ドレイン領域の抵抗値が小さいと共に、接続孔形成時のエッチング工程において、ソース・ドレイン領域が消滅してしまうこと

を回避できる。

一方、本発明方法においては、先ず、第1導電型不純物が導入されたシリコン膜上にシリコン窒化膜を形成した後、このシリコン窒化膜を選択的に除去して前記シリコン膜を局部的に露出させ、この露出部分のシリコン膜を選択酸化する。この場合に、選択酸化により形成されたシリコン酸化膜の下方に酸化されていないシリコン膜が残存するようにする。次に、前記シリコン酸化膜及びシリコン窒化膜を除去する。そうすると、前述の選択酸化によりその膜厚が薄くなったシリコン膜が露出する。この薄膜化されたシリコン膜の周囲のシリコン膜は、当初の膜厚を維持している。そして、前記薄膜化された部分のシリコン膜の所定領域をチャネル領域とし、このチャネル領域を除く部分のシリコン膜に第2導電型不純物を選択的に導入してソース・ドレイン領域を形成する。これにより、チャネル領域をソース・ドレイン領域に比して薄く形成することができ、上述の構造の薄膜トランジスタを容易に製造することができる。

膜厚が薄く、ソース・ドレイン領域であるP型ポリシリコン膜4の膜厚が厚く形成されているため、ソース・ドレイン領域の抵抗値を増大させることなく短チャネル化できると共に、短チャネル化した場合のリーク電流を低減することができる。また、例えば本実施例のトランジスタを上層の配線層に接続孔を介して接続する場合に、前記配線層と接続すべきソース・ドレイン領域(P型ポリシリコン膜4)の膜厚が厚いため、接続孔形成時のエッチングによりソース・ドレイン領域が消失してしまうことを回避できる。

例えば、チャネル部分の膜厚を10nmとし、ソース・ドレイン領域の膜厚を100nmとすると、チャネル領域及びソース・ドレイン領域をいずれも10nmとした従来の構造の薄膜トランジスタに比して、ソース・ドレイン領域の層抵抗が約1/10に低減する。また、接続孔を形成する工程において、接続不良の発生が著しく減少する。

次に、上述の薄膜トランジスタの製造方法について説明する。

#### [実施例]

次に、本発明の第1の実施例について添付の図面を参照して説明する。

第1図は本発明の第1の実施例に係る薄膜トランジスタを示す断面図である。

シリコン基板1上には $\text{SiO}_2$ 膜2が形成されている。そして、この $\text{SiO}_2$ 膜2上には、チャネル領域であるN型ポリシリコン膜3が選択的に形成されている。また、この $\text{SiO}_2$ 膜2上には、N型ポリシリコン膜3を両側方から挟むようにして、ソース・ドレイン領域であるP型ポリシリコン膜4が形成されている。このP型ポリシリコン膜4はN型ポリシリコン膜3に比して厚く形成されている。

P型ポリシリコン膜4及びN型ポリシリコン膜3上にはゲート酸化膜5が形成されており、N型ポリシリコン膜3の上方のゲート酸化膜5上には、ゲート電極6が形成されている。

本実施例に係る薄膜トランジスタは、上述の如く、チャネル領域であるN型ポリシリコン膜3の

第2図(a)乃至(e)は本実施例の薄膜トランジスタの製造方法を工程順に示す断面図である。

先ず、第2図(a)に示すように、従来と同様にシリコン基板1上に $\text{SiO}_2$ 膜2を形成する。次に、LPCVD法を使用して、この $\text{SiO}_2$ 膜2上にポリシリコン膜を100乃至200nmの厚さに堆積させる。そして、このポリシリコン膜にリン又はヒ素原子を $10^{16}$ 乃至 $10^{17}\text{cm}^{-3}$ の濃度でイオン注入して、N型ポリシリコン膜3を形成する。その後、LPCVD法を使用して、このN型ポリシリコン膜3上に $\text{Si}_3\text{N}_4$ 膜7を形成する。

次に、第2図(b)に示すように、フォトリソ技術を使用して、 $\text{Si}_3\text{N}_4$ 膜7を選択的に除去し、N型ポリシリコン膜3の所定領域を局部的に露出させる。

次に、第2図(c)に示すように、露出部分のN型ポリシリコン膜3を選択酸化することにより、 $\text{SiO}_2$ 膜8を形成する。このとき、 $\text{SiO}_2$ 膜8の下方のN型ポリシリコン膜3が酸化されないまま約10乃至50nmの厚さに薄膜化して残存するよ

うに、選択酸化の条件を設定する。また、このとき、 $\text{SiO}_2$ 膜8の縁部の $\text{Si}_3\text{N}_4$ 膜7は、 $\text{SiO}_2$ 膜8の形成により上方に向けて湾曲される。

次に、第2図(d)に示すように、 $\text{SiO}_2$ 膜8をエッチング除去する。これにより、厚さが約10乃至50nmのN型ポリシリコン膜3の薄膜化部分が露出する。その後、第2図(e)に示すように、 $\text{Si}_3\text{N}_4$ 膜7を除去する。

次いで、第1図に示すように、従来の上部ゲート型薄膜トランジスタの製造方法と同様にして、N型ポリシリコン膜3上にゲート酸化膜5を形成し、前記薄膜化部分のN型ポリシリコン膜3の上方のゲート酸化膜5上に、ゲート電極6を選択的に形成する。そして、このゲート電極6をマスクとして、N型ポリシリコン膜3にP型不純物を高濃度で導入して、P型ポリシリコン膜4を自己整合的に形成する。これにより、上述の薄膜トランジスタが完成する。

なお、 $\text{Si}_3\text{N}_4$ 膜7を除去する際にN型ポリ

シリコン膜3が消失する虞れがある場合には、熱酸化法又はLPCVD法によりN型ポリシリコン膜3上に10乃至20nmの厚さで $\text{SiO}_2$ 膜を形成し、その後この $\text{SiO}_2$ 膜上に前述の如く $\text{Si}_3\text{N}_4$ 膜7を形成する。これにより、 $\text{Si}_3\text{N}_4$ 膜7を除去する際には、 $\text{SiO}_2$ 膜が存在しているので、N型ポリシリコン膜3が消失してしまうことを回避できる。

第3図は本発明の第2の実施例に係る薄膜トランジスタを示す断面図である。

本実施例が第1の実施例と異なる点はゲート電極6の側部に $\text{SiO}_2$ 膜9の側壁が設けられていることにあり、その他の構成は基本的には第1の実施例と同様であるので、第3図において第1図と同一物には同一符号を付してその詳しい説明は省略する。

本実施例においては、上述の如く、ゲート電極6の側部に、 $\text{SiO}_2$ 膜9が設けられている。また、この $\text{SiO}_2$ 膜9及びゲート電極6の直下域を除いた領域のゲート酸化膜5は除去されている。

本実施例に係る薄膜トランジスタも、第1の実施例と同様の効果を得ることができる。

第4図(a)乃至(c)は本実施例の薄膜トランジスタの製造方法を工程順に示す断面図である。

先ず、第2図(a)乃至(e)に示す工程と同様にして、基板1上に $\text{SiO}_2$ 膜2を介して、薄膜化部分が設けられたN型ポリシリコン膜3を形成する。その後、第4図(a)に示すように、N型ポリシリコン膜3上にゲート酸化膜5を形成し、前記薄膜化部分のN型ポリシリコン膜3の上方のゲート酸化膜5上に、ゲート電極6を選択的に形成する。

次に、第4図(b)に示すように、LPCVD法を使用して、全面に $\text{SiO}_2$ 膜9を100乃至200nmの厚さで堆積させる。

次いで、異方性エッチングにより、この $\text{SiO}_2$ 膜9をN型ポリシリコン膜3が露出するまでエッチングバックする。そうすると、 $\text{SiO}_2$ 膜9がゲート電極6の側部にのみ残存して、第4図(c)に示すように、 $\text{SiO}_2$ 膜9の

側壁が得られる。その後、この $\text{SiO}_2$ 膜9及びゲート電極6をマスクとして、第1の実施例と同様に、N型ポリシリコン膜3にP型不純物を高濃度で導入して、P型ポリシリコン膜4を自己整合的に形成する。

上述の方法によれば、ソース・ドレイン領域(P型ポリシリコン膜4)を形成するためのマスクがゲート電極6の両方の側部に設けられた $\text{SiO}_2$ 膜9の分だけ大きくなるため、実質的なゲート長が長くなり、短チャネル化した場合の短チャネル効果を抑制することができるという利点がある。また、本実施例においても、第1の実施例と同様に、ソース・ドレイン領域を自己整合的に形成することができる。

第5図は本発明の第3の実施例に係る薄膜トランジスタを示す断面図である。

シリコン基板1上には $\text{SiO}_2$ 膜2が形成されている。この $\text{SiO}_2$ 膜2上には、ゲート電極10が選択的に形成されている。そして、このゲート電極10及び $\text{SiO}_2$ 膜2上には、ゲート酸化

膜11が形成されている。

ゲート電極10の上方のゲート酸化膜11上には、チャネル領域であるN型ポリシリコン膜3aが選択的に形成されている。また、このN型ポリシリコン膜3aを側方から挟むようにして、ソース・ドレイン領域であるP型ポリシリコン膜4aが形成されている。このP型ポリシリコン膜4aは、N型ポリシリコン膜3aの近傍においてはN型ポリシリコン膜3aと同様にその膜厚が薄くなっており、N型ポリシリコン膜3aから離隔した領域においてはその膜厚がN型ポリシリコン膜3aに比して厚く形成されている。

本実施例に係る薄膜トランジスタは、上述の如く、ゲート電極10がチャネル領域であるN型ポリシリコン膜3aの下方にある下部ゲート型薄膜トランジスタである。本実施例においても、第1の実施例と同様に、ソース・ドレイン領域の抵抗値を増大させることなく短チャネル化することができると共に、短チャネル化した場合のリーク電流を低減することができる。また、上層の配線層

ポリシリコン膜3aが所定の厚さで残存するように選択酸化を行なって、この領域のN型ポリシリコン膜3aを薄膜化する。また、このとき、 $\text{SiO}_2$ 膜8aの縁部の $\text{Si}_3\text{N}_4$ 膜7aは、 $\text{SiO}_2$ 膜8aの形成により上方に向けて湾曲される。

次に、第6図(d)に示すように、 $\text{SiO}_2$ 膜8aを除去する。これにより、薄膜化部分のN型ポリシリコン膜3aが露出する。その後、第6図(e)に示すように、 $\text{Si}_3\text{N}_4$ 膜7aを除去する。

次いで、薄膜化部分のN型ポリシリコン膜3a上にゲート電極10に整合するレジスト膜を形成し、このレジスト膜をマスクとしてN型ポリシリコン膜3aに高温でP型不純物をイオン注入して、P型ポリシリコン膜4aを形成する。これにより、第5図に示す薄膜トランジスタが完成する。

なお、上述の各実施例においては、Pチャネル型薄膜トランジスタの場合について説明したが、チャネル領域及びソース・ドレイン領域の不純物

に接続するための接続孔形成工程において、ソース・ドレイン領域の消失を回避することができる。

第6図(a)乃至(e)は上述の薄膜トランジスタの製造方法を工程順に示す断面図である。先ず、第6図(a)に示すように、従来の下部ゲート型薄膜トランジスタの製造方法と同様にして、シリコン基板1上に $\text{SiO}_2$ 膜2を介してゲート電極10を選択的に形成し、その後全面にゲート酸化膜11及びN型ポリシリコン膜3aを順次形成する。また、このN型ポリシリコン膜3a上に $\text{Si}_3\text{N}_4$ 膜7aを堆積させる。

次に、第6図(b)に示すように、ゲート電極10上の領域を含む所定の領域の $\text{Si}_3\text{N}_4$ 膜7aをフォトリソ技術により選択的に除去して、N型ポリシリコン膜3aを局部的に露出させる。

次に、第6図(c)に示すように、N型ポリシリコン膜3aの露出部分を選択的に酸化して、 $\text{SiO}_2$ 膜8aを形成する。この場合に、第1の実施例と同様に、 $\text{SiO}_2$ 膜8aの下方に、N型

の導電性を替えることにより、Nチャネル型薄膜トランジスタを形成することもできる。

#### [発明の効果]

以上説明したように本発明によれば、ソース・ドレイン領域に比してチャネル領域の厚さが薄いから、ソース・ドレイン領域の抵抗値を増大させることなく、且つリーク電流を抑制しつつ、短チャネル化することができる。また、接続孔を設けてソース・ドレイン領域と配線層とを電気的に接続する場合も、接続孔形成工程に起因するソース・ドレイン領域の消失を回避することができる。

また、本発明方法によれば、絶縁膜上に形成され第1導電型不純物が導入されたシリコン膜を局部的に酸化させてシリコン酸化膜を形成することによりこの領域のシリコン膜の膜厚を薄くし、この膜厚を薄くした部分の所定領域をチャネル領域とし、このチャネル領域を除く部分に第2導電型不純物を導入してソース・ドレイン領域を形成するから、上述の構造の薄膜トランジスタを容易に製造することができる。

## 4. 図面の簡単な説明

第1図は本発明の第1の実施例に係る薄膜トランジスタを示す断面図、第2図(a)乃至(e)は同じくその製造方法を工程順に示す断面図、第3図は本発明の第2の実施例に係る薄膜トランジスタを示す断面図、第4図(a)乃至(c)は同じくその製造方法を工程順に示す断面図、第5図は本発明の第3の実施例に係る薄膜トランジスタを示す断面図、第6図(a)乃至(e)は同じくその製造方法を工程順に示す断面図、第7図は従来の上部ゲート型薄膜トランジスタを示す断面図、第8図(a)乃至(c)は同じくその製造方法を工程順に示す断面図、第9図は従来下部ゲート型薄膜トランジスタを示す断面図、第10図(a)乃至(d)は同じくその製造方法を工程順に示す断面図である。

1, 21, 31; シリコン基板、2, 8, 8a, 9, 22, 32;  $\text{SiO}_2$  膜、3, 3a, 4, 4a, 23, 24, 27, 33, 34, 37; ポリシリコン膜、5, 11, 25, 35; ゲート酸化

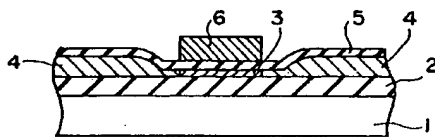
膜、6, 10, 26, 36; ゲート電極、7, 7a;  $\text{Si}_3\text{N}_4$  膜、38; レジスト膜

出願人 日本電気株式会社

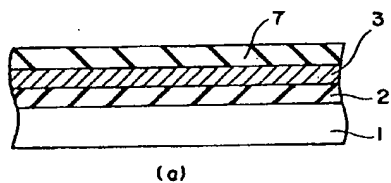
代理人 弁理士 藤巻正憲

1; シリコン基板  
2;  $\text{SiO}_2$  膜  
3; N型ポリシリコン膜  
4; P型ポリシリコン膜

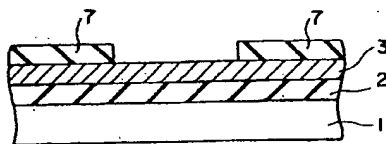
5; ゲート酸化膜  
6; ゲート電極  
7;  $\text{Si}_3\text{N}_4$  膜



第 1 図



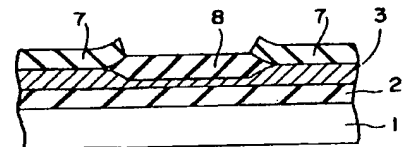
(a)



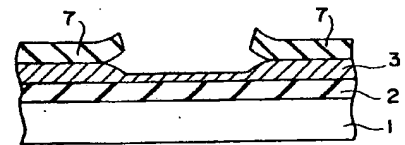
(b)

第 2 図 (1)

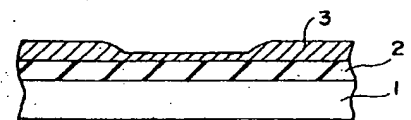
2, 8;  $\text{SiO}_2$  膜  
7;  $\text{Si}_3\text{N}_4$  膜



(c)



(d)

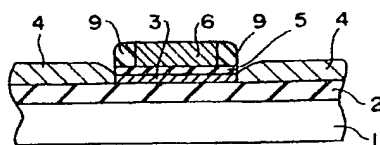


(e)

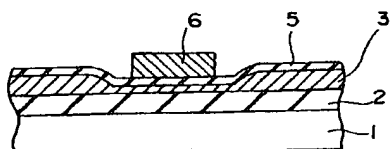
第 2 図 (2)



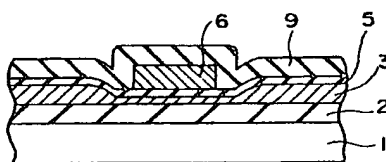
- 1; シリコン基板  
2, 9; SiO<sub>2</sub> 膜  
3; N型ポリシリコン膜  
4; P型ポリシリコン膜  
5; ゲート酸化膜  
6; ゲート電極



第 3 図



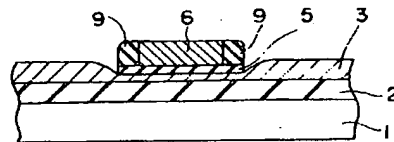
(a)



(b)

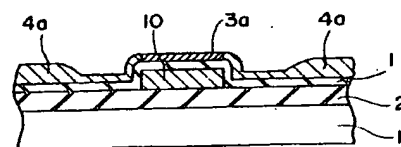
第 4 図 (1)

- 1; シリコン基板  
2, 9; SiO<sub>2</sub> 膜  
3, 3a; N型ポリシリコン膜  
4a; P型ポリシリコン膜  
5, 11; ゲート酸化膜  
6, 10; ゲート電極



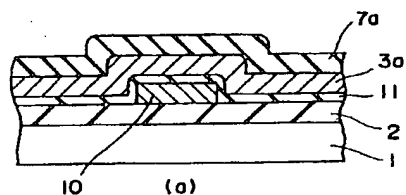
(c)

第 4 図 (2)

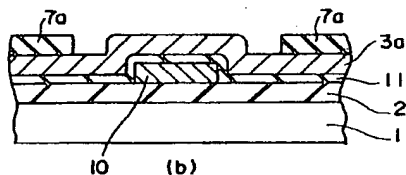


第 5 図

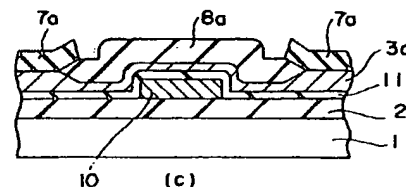
- 1; シリコン基板  
2, 8a; SiO<sub>2</sub> 膜  
3a; N型ポリシリコン膜  
7a; Si<sub>3</sub>N<sub>4</sub> 膜



(a)



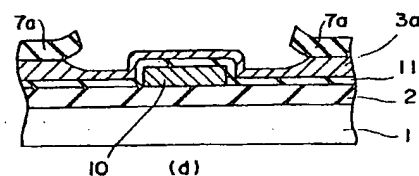
(b)



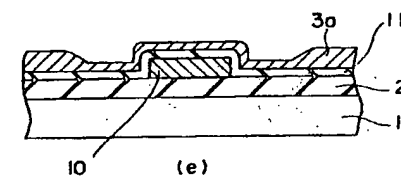
(c)

第 6 図 (1)

- 1, 21; シリコン基板  
2, 22; SiO<sub>2</sub> 膜  
3a, 23; N型ポリシリコン膜  
10, 26; ゲート電極  
11, 25; ゲート酸化膜  
24; P型ポリシリコン膜

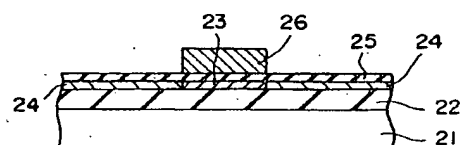


(d)



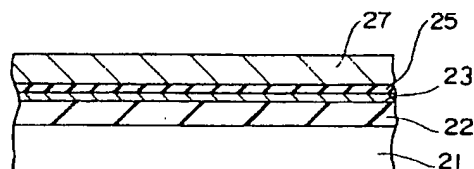
(e)

第 6 図 (2)

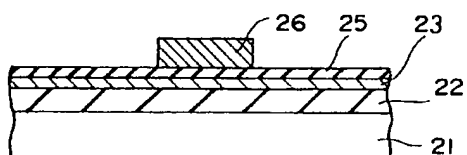


第 7 図

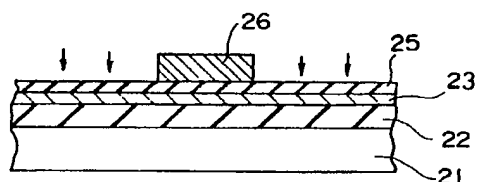
27; ポリシリコン膜



(a)



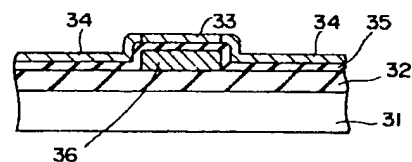
(b)



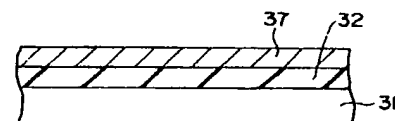
(c)

第 8 図

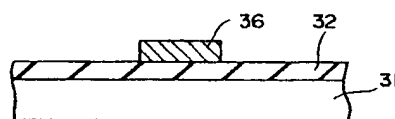
31; シリコン基板  
32; SiO<sub>2</sub> 膜  
33; N型ポリシリコン膜  
34; P型ポリシリコン膜  
35; ゲート酸化膜  
36; ゲート電極  
37; ポリシリコン膜



第 9 図



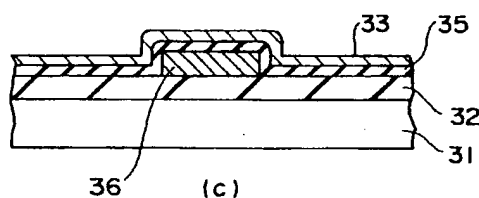
(a)



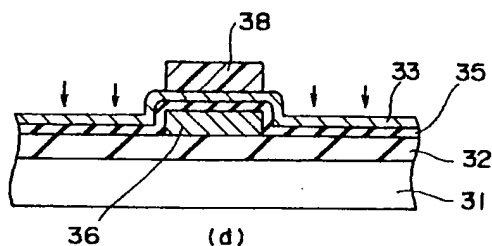
(b)

第 10 図 (1)

35; ゲート酸化膜  
36; ゲート電極  
38; レジスト膜



(c)



(d)

第 10 図 (2)